

FORMATION OF SEPARATED N-TYPE PITAXIAL ISLAND

Publication number: JP61180446

Publication date: 1986-08-13

Inventor: ERUDON JIEI ZORINSUKII; DEBITSUDO BII
SUPURATSUTO

Applicant: TEXAS INSTRUMENTS INC

Classification:

- international: H01L21/205; H01L21/306; H01L21/762; H01L21/02;
H01L21/70; (IPC1-7): H01L21/205; H01L21/76

- European: H01L21/306; H01L21/762

Application number: JP19850243816 19851030

Priority number(s): US19840666698 19841031

Also published as:

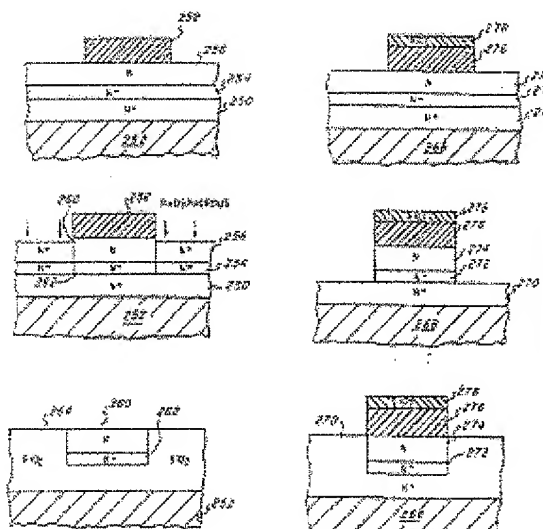
US4628591 (A1)

Report a data error here

Abstract not available for JP61180446

Abstract of corresponding document: **US4628591**

Full oxide isolation of epitaxial islands can be accomplished by oxidizing suitably porous silicon. The porous silicon can be created by anodizing highly doped n+ silicon in hydrofluoric acid. Lesser doped epitaxial regions will not become porous and will become isolated islands suitable for the fabrication of semiconductor devices.



Data supplied from the **esp@cenet** database - Worldwide

⑫ 公開特許公報(A)

昭61-180446

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)8月13日

H 01 L 21/76
21/205D-7131-5F
7739-5F

審査請求 未請求 発明の数 2 (全7頁)

⑬ 発明の名称 分離されたN型エピタキシャルアイランドの形成方法

⑭ 特 願 昭60-243816

⑮ 出 願 昭60(1985)10月30日

優先権主張 ⑯ 1984年10月31日 ⑰ 米国(US) ⑱ 666698

⑲ 発 明 者 エルドン ジェイ. ゾ アメリカ合衆国テキサス州プラノ, ビツカーズ ドライブ
リンスキー 2217⑲ 発 明 者 デビッド ビー. スプ アメリカ合衆国テキサス州プラノ, スタンフォード 3028
ラット⑳ 出 願 人 テキサス インスツル アメリカ合衆国テキサス州ダラス, ノース セントラル
メンツ インコーポレ エクスプレスウエイ 13500
イテッド

㉑ 代 理 人 弁理士 浅 村 皓 外2名

明 細 書

1. 発明の名称

分離されたN型エピタキシャルアイランドの形
成方法

2. 特許請求の範囲

(1) N型シリコンチップ(252)上に分離され
たN型エピタキシャルアイランド(260)を形
成する方法において、a) 前記チップ上に高濃度にドーブされたN型
エピタキシャルシリコン層(250)を形成し、b) この高濃度にドーブされたエピタキシャル
シリコン層(250)上に、中間濃度にドーブさ
れたN型エピタキシャルシリコン層(256)を
形成し、c) 少なくともこの中間濃度にドーブされたエ
ピタキシャルシリコン層(256)に選択的にイ
オンの注入を行なつて、該中間濃度エピタキシ
ャルシリコン層(256)を前記高濃度エピタキシ
ャルシリコン層(250)のドーブ濃度とほぼひ
としい濃度に選択的にドーブすることにより、その四周および底部が高濃度にドーブされたエピタ
キシャルシリコン層(256, 250)により囲
まれたアイランド(260)を形成し、d) 前記チップを陽極処理剤(310)に接触
させつつこれに電圧を加えることにより、前記高
濃度にドーブされたエピタキシャルシリコン層
(256, 250)のみに多孔質シリコンを選択
的に形成し、e) この多孔質シリコンの酸化を行なつて二酸
化シリコン(264)を該多孔質シリコン中に形
成することにより、前記チップ上に分離されたN
型エピタキシャルアイランド(260)を形成す
るようにしたことを特徴とするエピタキシャルア
イランド形成方法。(2) 前記多孔質シリコン(256, 250)はそ
の密度がエピタキシャルシリコンのほぼ2分の1
であるようにしてなる特許請求の範囲第1項に記
載のエピタキシャルアイランド形成方法。(3) さらに前記中間濃度にドーブされたN型エ
ピタキシャルシリコン領域(260)の下部に低濃

度にドーパされた薄いシリコン層(262)を、該中間濃度にドーパされたエピタキシャルシリコン領域(260)の四周および底部を囲む高濃度N型エピタキシャルシリコン層(250、256)の形成に先立つて形成するようにしてなる特許請求の範囲第1項に記載のエピタキシャルアイランド形成方法。

(4) 前記チップを前記腐蝕処理剤と接触させるにあたっては、該チップをフッ化水素酸に曝して前記高濃度ドーパ領域(250、256)中に多孔質シリコンを形成するようにしてなる特許請求の範囲第1項に記載のエピタキシャルアイランド形成方法。

(5) N型シリコンチップ(268)上に分離されたN型エピタキシャルアイランド(274)を形成する方法において、

a) 前記チップ(268)上に高濃度にドーパされたN型エピタキシャルシリコン層(270)を形成し、

b) この高濃度にドーパされたエピタキシャル

f) この多孔質シリコンの酸化を行なつて該多孔質シリコン中に二酸化シリコンを形成することにより、前記チップ(268)上に分離されたN型エピタキシャルアイランド(272)を形成するようにしたことを特徴とするエピタキシャルアイランド形成方法。

(6) さらに前記中間濃度にドーパされたN型エピタキシャルシリコン領域(274)の下部に低濃度にドーパされた薄いシリコン層(272)を、該中間濃度にドーパされたエピタキシャルシリコン領域(274)の四周および底部を囲む高濃度N型エピタキシャルシリコン層(270)の形成に先立つて形成するようにしてなる特許請求の範囲第1項に記載のエピタキシャルアイランド形成方法。

(7) 前記チップを前記腐蝕処理剤と接触させるにあたっては、該チップをフッ化水素酸に曝して前記高濃度ドーパ領域(270)中に多孔質シリコンを形成するようにしてなる特許請求の範囲第1項に記載のエピタキシャルアイランド形成方法。

シリコン層(270)上に、中間濃度にドーパされたN型エピタキシャルシリコン層(274)を形成し、

c) 前記高濃度にドーパされたエピタキシャルシリコン層(270)から中間濃度にドーパされたエピタキシャルシリコンのアイランド(274)を囲む領域を選択的に除去し、

d) 前記中間濃度にドーパされたエピタキシャルシリコン層から除去された領域中に、前記高濃度にドーパされたエピタキシャルシリコン層のドーパ濃度とほぼひとしい濃度のエピタキシャルシリコン層(270)を選択的に形成することにより、その四周および底部が高濃度にドーパされたエピタキシャルシリコン層(270)により囲まれたアイランド(274)を形成し、

e) 前記チップを腐蝕処理剤(310)に接触させつつこれに電圧を加えることにより、前記高濃度にドーパされたエピタキシャルシリコン層(270)のみに多孔質シリコンを選択的に形成し、

3. 発明の詳細な説明

[産業上の利用分野]

本発明は集積回路の製造に関するもので、とくに酸化物分離エピタキシャルアイランド(島)の形成方法に係わるものである。

[従来の技術]

集積回路内に設けられた個々の素子をたがいに分離(アイソレート)することは、集積回路が複雑となるにともなつて、より重要かつ困難となつてきている。事実、集積回路チップにおける集積密度をさらに増大させるべく、トランジスタ等の製作寸法や間隔は、不斷に微細化されているのが現状である。

個々の能動デバイスがすべてのその下部および四周において酸化物絶縁体によりアイソレートされればすぐれたアイソレーションが得られる。そのような完全なアイソレーションができれば、CMOSデバイスにおけるラッチアップのポテンシャルも解消して、あらゆるタイプの能動デバイスにおける寄生容量が低減することとなる。さら

に、全面的に酸化物によりアイソレーションを施すことにより、個々の能動デバイスどうしの間の間隔を減少させることも可能となる。

〔発明の目的〕

故に本発明の目的は、全面的に酸化物によりアイソレートされたエピタキシャルアイランドを形成する方法を提供することにある。

〔問題点を解決しようとするための手段〕

このような目的を達成すべく本発明においては、多孔質シリコンを腐蝕処理により形成した後、この多孔質シリコンを二酸化シリコンに変換することにより、たがいにアイソレートされたアイランドを形成するようにするものである。このアイランドは、低濃度にドーパされた薄い層の上に配置された中間濃度にドーパされたアイランド領域を創り出すことによつて得られる。このアイランド領域は高濃度にドーパされたエピタキシャルシリコン領域により囲まれており、この高濃度エピタキシャルシリコン領域を腐蝕処理により多孔質シリコンに変換する。上記低濃度の薄い層をこのア

250との間に急峻な接合部を形成して、後述する腐蝕処理プロセスを改善するものである。つぎに前記第1および第2のエピタキシャル層250、254の中間の不純物濃度とした第3のエピタキシャル層256を成長させる。この第3のエピタキシャル層256は、最終的にはデバイスを製作するエピタキシャルアイランドを形成することとなるものである。該第3のエピタキシャル層256上にはさらに、シリコン窒化物層258を形成して第1図に示すようにパターン化する。

つぎに第2図において、高エネルギーイオン注入を用いて前記第2および第3のエピタキシャル層254、256を前記第1のエピタキシャル層250と実質的に濃度のひとしい、高濃度にドーパされたN+型層に変える。ただし上記シリコン窒化物層258によりマスクされた領域のみに対しては、この転換は行なわれない。かくて中間濃度にドーパされたN型物質からなるアイランド260と、その下部に位置してきわめて低濃度にドーパされた物質からなる薄い層262とによつ

てアイランド領域の下部に設けることにより、該アイランド領域の底面は平坦化され、アイランド領域の画定が良好に行なわれることとなる。

〔実施例〕

次に図面を参照して本発明の実施例を説明する。本発明においては、バイポーラ型や絶縁ゲートFET型のトランジスタの製造に用いるのに適する絶縁エピタキシャルアイランドは、これを下記のようにして形成する。第1図ないし第3図はその形成方法の1実施例を示すもので、第1図において、まず第1のN+型エピタキシャル層250をシリコン基板252上で成長させる。ついで、この第1のエピタキシャル層250よりもはるかに低濃度にドーパした第2のエピタキシャル層254を成長させる。このエピタキシャル層254はこれを省略することもできるが、本例では該層が形成されるものとする。この第2のエピタキシャル層254はその不純物濃度を事実上ゼロとしてもよいが、いずれにしてもこの層を設けることにより、前記第1のエピタキシャル層

260の四周は、高濃度にドーパされたN+型エピタキシャル層250、254、256により取り囲まれている。

なお、N+型の第1エピタキシャル層上にP型エピタキシャル層を成長させ、能動領域となる部分を囲んで選択的にN+型にドーパすることにより、N+型領域に囲まれたP型アイランドを作ることにもできる。

第2図に示す構造の基板は、腐蝕処理を行なうことによつて高濃度にドーパされたN+型領域を多孔質シリコンに変え、ついでさらにシリコン酸化物に転換しうる状態にある。これを行なうためのプロセスやそのメカニズム等のについては、「酸化多孔質シリコンの高選択的かつ自己停止型形成法による完全な誘電体アイソレーション」(R. P. ホームストロームおよびJ. Y. チャイ、「アプライド・フィジックス・レターズ」第42巻第4号、1983年4月15日)にその記載がある。前記多孔質シリコンの形成方法およびそれ

に用いる装置については後述する。

つぎに第3図において、かくて形成された多孔質シリコンはこれをHFにより陽極処理およびこれに引き続く酸化処理を行なうことにより、N+層250、254、256を酸化物層264に転換する。この結果、前記アイランド260はN型エピタキシャルタンクとなり、その下部にきわめて薄いN型領域262が位置することとなる。このN型領域の厚みは図面では誇張して示してあり、その四周はシリコン酸化物層264によつて囲まれている。なお、このような選択性ある酸化は、選択酸化(differential oxide growth)によつて実行できる。たとえば、成長温度等のパラメータを選ぶことにより、選択性を発揮させることができる。

本発明により分離されたアイランドを形成する他の方法を第4図ないし第6図に示す。まず第1図について説明したと同様に、基板268上に第1、第2および第3のエピタキシャル層270、272、274を形成する。ついでシリ

コン窒化物層276を蒸着した後、酸化物層278を蒸着し、次にこれら酸化物および窒化物層278、276のパターン化を行なう。この酸化物層276を設ける目的は、第6図について後述する選択的エピタキシャル成長工程で、ポリシリコンの核形成部位の数を最小限とすることにある。

次に第5図において、上記パターン化した酸化物層278および窒化物層276をマスクとして用いることにより、中間濃度にドーパされた前記エピタキシャル層274およびきわめて低濃度にドーパされた前記エピタキシャル層272の露出部を、エッチング処理により除去する。

ついで第6図に示すように、好ましくは前記第1のエピタキシャル層270とひとしい高濃度にドーパされたエピタキシャルシリコンを選択的に成長させて、高濃度にドーパされたN+型エピタキシャルシリコン層270により、中間濃度および低濃度にそれぞれドーパされたアイランド領域274、272を取り囲むようにする。かくて第

6図に示す構造が得られることとなり、この構造体に対して前述のように陽極処理および酸化処理を施すことにより、第3図に示したような絶縁エピタキシャルアイランドを得ることができる。

上述のプロセスにおいてはいずれも、N型エピタキシャルアイランド260、274を酸化物絶縁層264、270によりそれぞれ取り囲むようにしたもので、このようにして形成されたアイランドは、該領域中にバイポーラ型やMOS型デバイスを製作するのに好適である。一方、P型のアイランドを形成するには、陽極処理工程を行なった後で、N型アイランド260、274に対してホウ素によるイオンの注入または拡散およびアニール処理を行なえばよい。なおこの場合、ホウ素は周囲の酸化物層264には拡散しないので、マスクアライメントやアニール処理の実行回数については、あまり厳密に配慮しなくともよい。

次に第7図に、集積回路を有するシリコンウエハに陽極処理により多孔質シリコンを形成するのに用いるシステムの実施例を示す。同システムに

において、容器300の中央部にはデバイダ302が配置されており、このデバイダには開口部304が形成されている。この開口部304の寸法は半導体ウエハ306よりもわずかに小さなものとし、この半導体ウエハは支持部材308により該開口部304を完全にカバーするように保持されている。これらデバイダ302およびウエハ306の組合せにより前記容器300は2区画に分割され、これら2区画間を流体が流れないようにしてある。容器300のこれら2区画はいずれもフッ化水素酸310により満たされており、このフッ化水素酸はポンプ316により、流入用配管312および排出用配管314を介して連続的に循環される。

かくて得られるフッ化水素酸の流路には正および負の電極318、320が挿入され、電源322に接続されている。324、326はそれぞれエッチングプロセスの作用を監視するための電圧計および電流計である。さらにチャート記録式等の記録装置328を用いて、上記ウエハ

306のエッチ状態を記録する。また上記電源322はこれを制御装置330により可変的に制御することができる。この目的に使用する制御装置330としては、単純な可変ポテンシオメータ又はコンピュータ制御の制御装置等を用いることができる。またこの制御装置330をコンピュータ制御とする場合は、上記記録装置328はこれをそのような制御装置に内蔵させて、時間に対する電圧や電流値の変化をプロットするようにしてもよい。

上述のように構成したシステムに電源を投入すると、前記電極318、320間に電流が流れて、第2図および第3図についてさきに述べた不純物濃度の高いN型シリコンが多孔質とされる。この多孔質シリコンに対する腐蝕エッチングは該シリコンのほぼ半分がエッチ除去されるまで行なうことが必要である。ついでこの多孔質シリコンの酸化を行なうことにより、酸化物層が拡大されて、当初は高不純物濃度のシリコンにより占められていた空間がこの酸化物層によつて満たされて、集

積回路チップの変形を最小限とするのである。

以上本発明による方法およびそれにより得られる構造の実施例につき各種説明してきたが、本発明による方法および構造はこれら実施例に限定されるものでなく、記載の実施例に適宜各種の追加ないし変更を加えてもよいことはいうまでもない。

4. 図面の簡単な説明

第1図ないし第3図は本発明による酸化物分離エピタキシャルアイランドの形成方法の1実施例を示す図、第4図ないし第6図は本発明による酸化物分離エピタキシャルアイランドの形成方法の他の実施例を示す図、第7図は腐蝕処理による多孔質シリコンの形成に用いるシステムの1実施例を示す図である。

252、268…基板、

250、270…第1のエピタキシャル層、

254、272…第2のエピタキシャル層、

256、274…第3のエピタキシャル層、

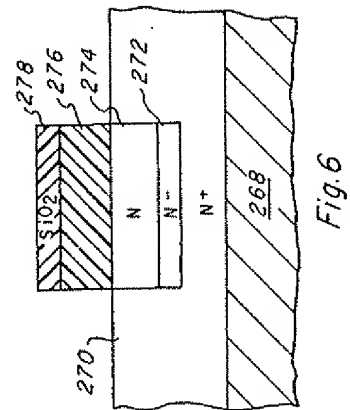
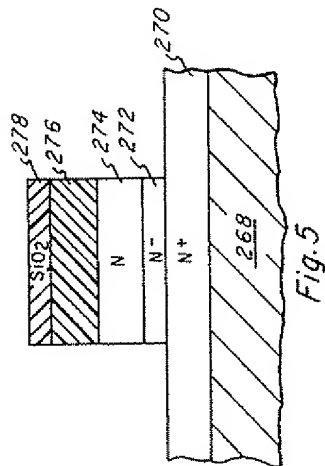
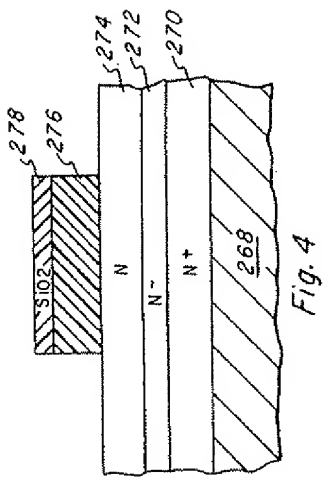
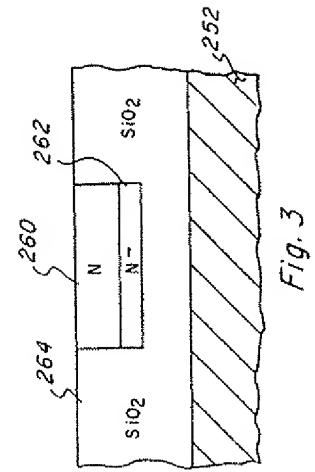
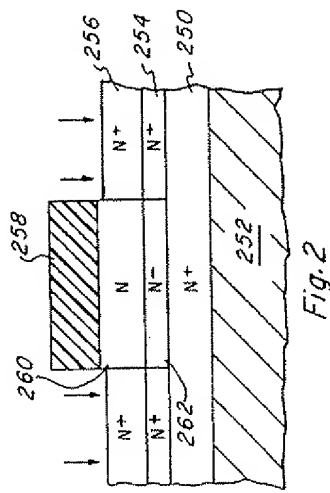
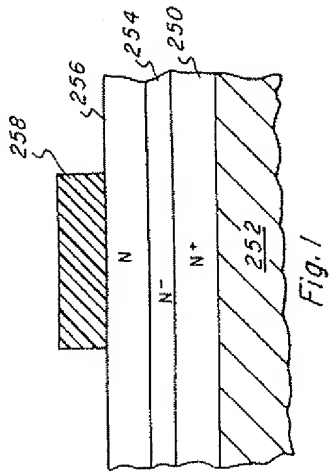
258、276…シリコン窒化物層

(マスク層)、

260、274…アイランド。

代理人 浅 村 皓

図面の浄書(内容に変更なし)



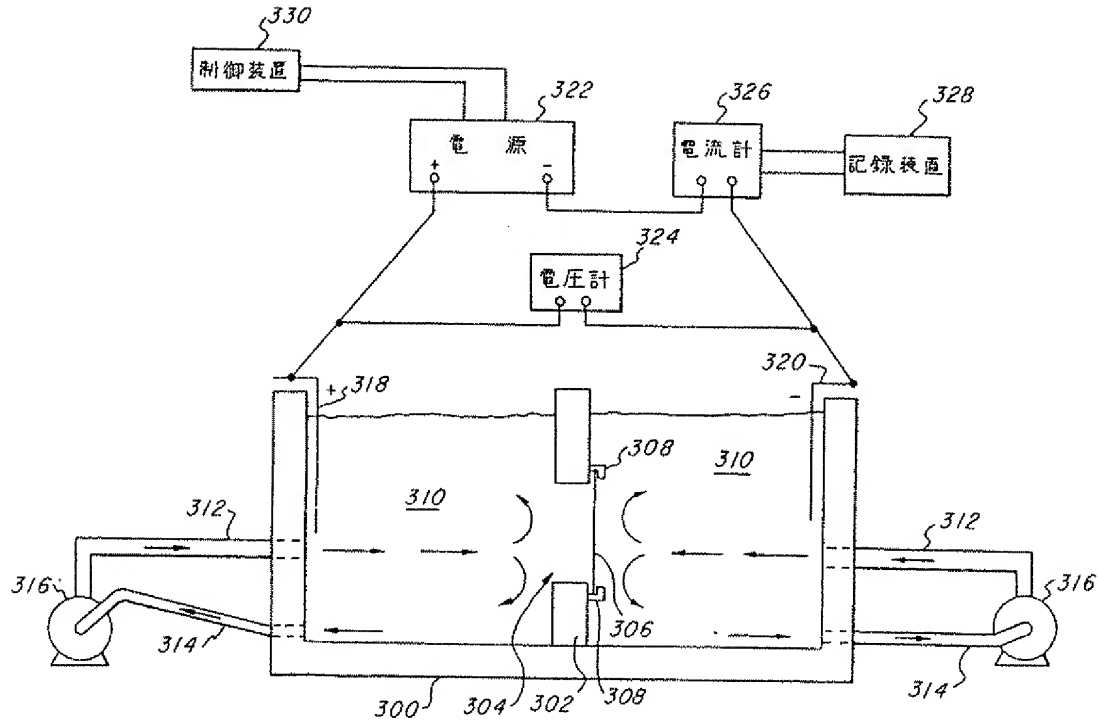


Fig. 7

手続補正書(方式)

昭和61年11月28日

特許庁長官殿

1. 事件の表示

昭和60年特許願第 43816 号

2. 発明の名称 分離型エレクトロキャパシタの形成方法

3. 補正をする者

事件との関係 特許出願人

住所

氏名(名称) テキサス インスツルメンツ・インコーポレイテッド

4. 代理人

住所

〒100 東京都千代田区大手町二丁目2番1号

新大手町ビルディング331

電話 (211) 3651 (代表)

氏名

(6669) 浅村 皓



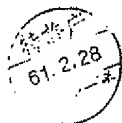
5. 補正命令の日付

昭和61年11月28日

6. 補正により増加する発明の数

7. 補正の対象

図面



8. 補正の内容 別紙のとおり

図面の浄写 (内容に変更なし)

